2024 年度　日中二国間交流事業
チップレットシステムのライフサイクル高信頼化技術フォーラム 2024 in 大分

二国間交流事業共同研究「チップレットシステムのライフサイクル信頼性強化設計技術」は、Chiplet システムのライフサイクル信頼性を向上させるための Design for Dependability 技術の確立を目指し、2023 年度より中国安徽工程大学の高信頼積層 IC 研究チーム（Ni 教授）と、愛媛大学・徳島大学・大分大学・九州工業大学の IC テスト容易化設計研究グループが連携し、両国の研究者間の交流を発展させることで、持続的な研究ネットワークの形成と研究の発展に資する人的交流を促進する事業です。本年度は、日本国内の研究グループおよび関連企業との連携を一層強化するため、大分県日出町にてフォーラムを開催いたします。

日時：3 月 14 日(金)～15 日（土）
場所：HOTEL SOLAGE OITA-HIJI

※プログラム：（一部調整中のため、後日変更あり）
3 月 14 日（金曜日）

15:00 ～ 15:30	**Opening**
	開会の挨拶：温先生（九工大） 二国間交流事業の紹介　王　（愛媛大）
15:30 ～ 16:10	**Keynote Speech** Power-Aware LSI Testing: Present and Future 講演者：温　暁青教授（九州工業大学）
16:10 ～ 16:50	**招待講演** Chiplet 最新技術と事例紹介（2D から 3D へ）、そして、Chiplet の更なるその先へ 講演者：入江　和幸様（TSMC グループ　GUC Japan, Fellow 副社長）
17:00 ～ 18:00	**セッション1：バウンダリスキャンテスト**
	TDC 組込み型バウンダリスキャンによる TSV の故障検出と自己修復法 発表者：鶴岡　蒼久（徳島大学）
	TDC 組込み型バウンダリスキャンの遅延付加経路選択回路の設計 発表者：山根　杏太（徳島大学）
	SASL-JTAG+: An Enhanced Lightweight and Secure JTAG Authentication Mechanism 発表者：岡本　悠（愛媛大学　博士後期課程2年生）
18:30 ～ 20:00	**懇親会**

3 月 15 日（土曜日）

9:00 ～ 9:40	**招待講演** 富士通サーバテストから最新チップレットテストへ 講演者：亀山 修一先生（愛媛大学）
9:45 ～ 10:25	**招待講演** パイプラインプロセッサの命令レベル自己劣化検知テスト 講演者：大竹 哲史先生（大分大学）
10:30 ～ 11:10	**招待講演** Scan Data Bus Protocol: A New Test Architecture for Very Large Integrated System 講演者：章 御聡様（ルネサスエレクトロニクス）
11:20 ～ 12:00	**セッション 2：AI チップ関係**
	メモリベース論理再構成デバイスにおける高信頼な AI 実装 発表者：笹川 健太（愛媛大学、博士後期課程1年生）
	SOP(Set Operating Processor)の FPGA 環境におけるシステム構築と性能評価 発表者：山本 隆介（愛媛大学、博士前期課程 2 年生）
12:00 ～ 12:05	Closing

※参加費と懇親会費について

参加費（いずれも会議費、招待講演資料費、1 泊の宿泊費を含む。消費税込）		懇親会費（消費税込み）
一般（注）	40,000 円	5,000 円
学生	30,000 円	5,000 円

宿泊は 2～3 名程度の相部屋となります。部屋割りにつきましては幹事に御一任をお願いしています。

注：Keynote 講演者と招待講演者には、参加費と懇親会費を徴収いたしません。

ご不明な点がございましたら、フォーラム運営担当者（愛媛大学 王）まで連絡ください。
Email: wang@cs.ehime-u.ac.jp
電話： 080-3959-6260

Keynote Speech

Power-Aware LSI Testing: Present and Future

Prof. Xiaoqing Wen
Kyushu Institute of Technology

Abstract**:** *With low power consumption becoming a key requirement for advanced LSI designs, the gap between functional power and test power has kept growing to such an extent that power-aware testing has now become a must. The foundation of power-aware testing is a complete understanding of the global impact of switching activity on peak and average power as well as the local impact of switching activity on IR-drop-induced delay increase along data and clock paths. This talk presents a holistic view on various aspects of power-aware testing, aimed at helping researchers and engineers to develop more sophisticated and complete solutions for controlling LSI test power.*

Xiaoqing WEN received the B.E. degree from Tsinghua University, China, in 1986, the M.E. degree from Hiroshima University, Japan, in 1990, and the Ph.D. degree from Osaka University, Japan, in 1993. He was an Assistant Professor at Akita University, Japan, from1993 to 1997, and a Visiting Researcher at the University of Wisconsin–Madison, USA, from Oct. 1995 to Mar. 1996. He joined SynTest Technologies Inc., USA, in 1998, and served as its Vice President and Chief Technology Officer until 2003. He joined Kyushu Institute of Technology, Japan, in 2003, where he is currently a Professor with the Department of Computer Science and Networks. He is a Co-Founder and Co-Chair of Technical Activity Committee on Power-Aware Testing under Test Technology Technical Council (TTTC) of IEEE Computer Society. He is serving as Associate Editor for Journal of Electronic Testing: Theory and Applications (JETTA). He co-authored and co-edited the latest VLSI test textbook in 2006 (popualr among students and enginers around the world) and the first comprehansive book on power-aware VLSI testing in 2009. His research interests include design, test, and diagnosis of LSI circuits. He has published more than 330 papers and holds 43 U.S. patents & 14 Japan patents. He received the 2008 Society Best Paper Award from IEICE-ISS. He is a Fellow of IEEE. (*https://www.vlab.cse.kyutech.ac.jp/~wen/index.htm*)

Invited Talk

Chiplet最新技術と事例紹介 (2Dから3Dへ)、
そして、Chipletの更なるその先へ

入江　和幸様
TSMC Group, GUC Japan
Fellow, 副社長

Mr. Irie is currently a Fellow of GUC President Office and leading GUC-Japan design team for project engagements and developments. He has 20+ years of chip design experiences and specialized in ultra low power, high-performance hyper-scale ASIC design for HPC, AI and networking applications. He also has abundant experience in advanced process technology like N7, N6, N5 and N3 as well as 2.5D/3D advanced package technologies.

Invited Talk

富士通サーバテストから最新チップレットテストへ

亀山　修一　客員教授
愛媛大学大学院

亀山先生は、1972年富士通㈱に入社以来，生産技術部門で電子回路の試験技術/試験設備の開発に従事。現在，愛媛大学教員教授，東海大学非常勤講師，亀山技術士事務所代表。 IEEE-CS，エレクトロニクス実装学会，電子情報通信学会，日本技術士会等の会員。エレクトロニクス実装学会バウンダリスキャン研究会主査，博士（工学），技術士（電気電子）。著書 ：バウンダリスキャンハンドブック（青山社）

Invited Talk

パイプラインプロセッサの命令レベル自己劣化検知テスト

大竹　哲史　教授
大分大学　理工学部理工学科

Satoshi Ohtake received the B.E. degree in computer science from the University of Electro-Communications, Tokyo, Japan, in 1995 and the M.E. and Ph.D. degrees in information science from Nara Institute of Science and Technology, Nara, Japan, in 1997 and 1999, respectively. He was a Research Fellow of the Japan Society for the Promotion of Science from 1998 to 1999. He was an Assistant Professor at the Graduate School of Information Science, Nara Institute of Science and Technology, Nara, Japan from 1999 to 2011 and an Associate Professor at the Faculty of Science and Technology, Oita University, Oita, Japan from 2011 to 2019. Presently, he is a Professor at the Faculty of Science and Technology, Oita University. He was a Visiting Scholar – Honorary Fellow at University of Wisconsin-Madison from 2007 to 2008. He received IEICE Information and System Society 2001 Year Paper Award, IEEE International Workshop on Electronic Design, Test & Applications (DELTA) 2006 Best Paper Award and IEEE Workshop on RTL and High Level Testing 2003, 2005 and 2007 Best Paper Awards. His research interests include VLSI CAD, design for testability, and test pattern generation. Prof. Ohtake is a senior member of IEEE, a member of IEICE and IPSJ.

Invited Talk

Scan Data Bus Protocol: A New Test Architecture for Very Large Integrated System

章　御聡
Senior Staff EDA engineer
ルネサスエレクトロニクス

Mr. Yuchong Zhang received the M.E. degree in Computer Science and Systems Engineering from Kyushu Institute of Technology, Japan, in 2016. Since 2019, he has been with Renesas Electronics, Inc.. During 2019 to 2021, he worked as a Staff Backend Engineer, from 2022 he moved to Chip Integration Technology Section and currently holds the position of Senior staff EDA engineer. His research interest is low power LSI testing, low latency bus design.